





〒108-0023 東京都 港区 芝浦4丁目16番25号 株式会社  
ベンチャーセーフネット内 Tokyo (JP).

(81) 指定国(国内): CN, KR, SG, US.

添付公開書類:

— 國際調査報告書

(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都 港区 虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 表示装置

## 5 技術分野

本発明は通常消費電力状態と低消費電力状態の切り換えが可能な電子機器のディスプレイ部品として用いられる表示装置に関する。より詳しくは、低消費電力状態下で待機モードに入る表示装置の節電技術に関する。

10

## 背景技術

電子機器のディスプレイ部品として、アクティブマトリクス型液晶パネルなどフラット形状のパネルが多用されている。アクティブマトリクス型液晶パネルは表示領域とこれを駆動する周辺の回路部とが絶縁基板上に一体的に集積形成されており、システムオンチップのディスプレイ（システムディスプレイ）となっている。

携帯電話端末やPDA (Personal Digital Assistance) など小型の電子機器は、通常消費電力状態と低消費電力状態の切り換えが可能なタイプが開発されている。電子機器本体側（セット側）が低消費電力状態になった場合、表示装置側（システムディスプレイ側）では低消費電力状態への対応として、いわゆるパーシャルモード表示を行う技術が知られている。例えば、携帯電話端末に組み込まれた液晶パネルは、低消費電力状態でいわゆる「待ち受け表示」を行う。すなわち、必要最小限の情報のみを表示して（パーシャルモード表示）節電を図る。しかしながら、このパーシャルモードでは表示装置が実質的には動作状態にある為、節電効果はそれほど期待できない。セット側が低消費電力状態にな

った場合の別の対応として、表示装置側で電源を遮断する準備処理（オフシーケンス）を行った後、表示装置への電源供給をカットする方法が取られる。表示装置側（システムディスプレイ側）の消費電力を抑制することが要求される用途では、この電源供給を遮断する方式が採用され  
5 ている。しかしながら、この場合セット側からシステムディスプレイ側への電源供給をカットする為、大容量の電源スイッチが必要となる。この為、部品点数増加によるセットサイズの増大やコスト増大といったデメリットが生じる。

近年では、電子機器本体側の通常消費電力状態と低消費電力状態の切り換えに応じて、表示装置を動作モードと待機モード（スタンバイモード）に切り換える技術が開発されており、特開平7-271323号公報に記載がある。スタンバイモードでは、セット側から電源電圧の供給を受けている状態のまま、システムディスプレイの表示を停止するとともに、システムディスプレイに含まれる周辺回路部を不活性化してパネルの電力消費を抑制する。このスタンバイモードでは、セット側からシステムディスプレイ側への電源供給をアクティブとしたまま、システムディスプレイ側のアクティブな消費電力を抑制する。これにより、電源供給をカットする為の大容量スイッチが不要となり、セットサイズやコストの面でメリットがある。しかしながら、従来のスタンバイモードは  
10 表示装置側のアクティブな消費電力を抑制する手段が不十分である為、スタンバイモードで十分な節電効果を得るに至っておらず、これが解決  
15 すべき課題となっている。

#### 発明の開示

25 上述した従来の技術の課題に鑑み、本発明は待機モード下で表示装置の節電効果を改善することを目的とする。係る目的を達成するために以

下の手段を講じた。即ち、通常消費電力状態と低消費電力状態の切り替えが可能な電子機器のディスプレイ部品として用いられ、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置であって、前記回路部は、電子機器本体側の通常消費電力状態と低消費電力状態の切り替えに応じて動作モードと待機モードに切り替え可能であり、動作モード時、電子機器の本体側から電源電圧の供給を受けて動作し、該表示領域を駆動して所望のディスプレイを行い、待機モード時、電子機器の本体側から電源電圧の供給を受けている状態のまま、該表示領域の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えている。前記待機制御手段は、不活性化の過程で少なくとも該回路部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする。

具体的には、前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含み、前記回路部は、該画素電極側に信号電圧を書き込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバと、信号電圧に対してコモン電圧のレベルを調節するオフセット回路とを含み、前記待機制御手段は、不活性化の過程で該オフセット回路に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行する。また、前記回路部は、コモン電極側にコモン電圧を印加する該コモンドライバとコモン電圧のレベルを調節する該オフセット回路に加えて、パネルの起動時に該オフセット回路を充電してコモン電圧の印加を速やかに立ち上げるスタート回路を含み、前記待機制御手段は、不活性化の過程で該スタート回路に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行する。また、前記表示領域は、マトリクス状に配置した画素を含み、前記

回路部は、電子機器の本体側から送られる画像情報に応じて階調化されたアナログ電圧を該画素に書き込むドライバと、あらかじめ階調に応じた複数のレベルのアナログ電圧を該ドライバに供給するアナログ電圧ジェネレータとを含み、前記待機制御手段は、不活性化の過程で該アナログ電圧ジェネレータに含まれる電圧分割用の直列抵抗素子に流れる直流成分を遮断する制御シーケンスを実行する。更に、前記待機制御手段は、不活性化の過程で少なくとも該回路部に供給されるクロックを停止して、回路部内で生じる充放電を抑制する制御シーケンスを実行する。例えば前記回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に応じた二次の電源電圧に変換するDC/DCコンバータを含んでおり、前記待機制御手段は、不活性化の過程で該DC/DCコンバータに供給されるクロックを停止して、該DC/DCコンバータで生じる充放電を抑制する制御シーケンスを実行する。好ましくは、前記パネルは、該表示領域及びこれを駆動する周辺の該回路部とともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されている。

本発明によれば、システムディスプレイの周辺に配された回路部の各プロックに、待機制御手段を分散配置している。この待機制御手段はセット側からの待機命令に応じて所定の制御シーケンスを実行し、システムディスプレイの周辺回路各部を不活性化し、パネルの電力消費を抑制する。この不活性化の過程で、待機制御手段は特に周辺回路各部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行し、パネルの電力消費を極限まで抑制可能としている。加えて、待機制御手段は、不活性化の過程でシステムディスプレイの周辺回路各部に供給するクロックを停止して、回路部内で生じる充放電を抑制し、以って過渡電流や貫通電流を極限まで削減している。この様に待機制御手段はセット側からの待機命令に応じて所定の不活性化制御シーケンスを実行し、以

ってシステムディスプレイの周辺回路部に流れる直流電流、過電流、貫通電流をシステム全体としてシーケンシャルに抑制するものである。

#### 図面の簡単な説明

- 5 第1図は、本発明に係る表示装置の全体構成を示すブロック図である。
- 第2A図乃至第2B図は、表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。
- 第3A図乃至第3B図は、待機モードを備えた表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。
- 10 第4図は、表示装置に含まれるDC/DCコンバータの実施例を示す回路図である。
- 第5図は、表示装置に含まれるDC/DCコンバータの実施例を示す回路図である。
- 15 第6図は、表示装置に含まれるレベルシフタの実施例を示すブロック図である。
- 第7図は、表示装置に含まれるタイミングジェネレータの実施例を示すブロック図である。
- 第8図は、表示装置に含まれる垂直ドライバの実施例を示す回路図である。
- 20 第9図は、表示装置に含まれるアナログ電圧ジェネレータの実施例を示す回路図である。
- 第10図は、表示装置に含まれるCSドライバの実施例を示す回路図である。
- 25 第11図は、表示装置に含まれるコモンドライバの実施例を示す回路図である。

第12図は、表示装置に含まれるコモンドライバ用のオフセット回路及びスタート回路を示す回路図である。

#### 発明を実施するための最良の形態

5 以下図面を参照して本発明の実施の形態を詳細に説明する。第1図は本発明に係る表示装置の全体構成を示す模式的なブロック図である。図示する様に、本表示装置0は、ガラスなどからなる絶縁基板1の上に集積形成されている。絶縁基板1の中央には表示領域2が形成されており、これを囲む様に周辺の回路部も一体的に形成されている。矩形の絶縁基板1の上辺には接続端子が形成されており、フレキシブルプリントケーブル(FPC)11を介して、電子機器本体側(セット側)と接続する様になっている。FPC11は複数の配線が平面的に配列した単層構造のフラットケーブルとなっている。

表示領域2は行状のゲートラインG1～Gmと列状の信号ラインS1～S<sub>n</sub>が互いに交差配置したマトリクス構成となっている。各ゲートラインGと信号ラインSの交差部には画素が形成されている。本実施形態では、各画素は液晶素子LC、補助容量CS及び薄膜トランジスタTFTで構成されている。液晶素子LCは画素電極とこれに対向するコモン電極(COM)と両者の間に保持された液晶(電気光学物質)とで構成されている。TFTのゲート電極はゲートラインGに接続し、ソース電極は信号ラインSに接続し、ドレイン電極は液晶素子LCの画素電極に接続している。補助容量CSはTFTのドレイン電極と補助容量ラインとの間に接続されている。TFTはゲートラインGから供給される選択パルスで導通し、信号ラインSから供給される信号電圧を対応する液晶素子LCの画素電極に書き込む。補助容量CSは一フレームもしくは一フィールドの間、信号電圧を保持しておく。

液晶素子LCは一般に交流駆動される。すなわち、信号ラインSを介して液晶素子LCに書き込まれる信号電圧は周期的に極性が反転する。

これに合わせて、液晶素子LCのコモン電極COMに印加するコモン電圧VCOMも周期的に極性反転する必要がある。ここで、液晶素子LC

5 やこれをスイッチング駆動するTFTには、極性に関し非対称性がある。

この為、画素電極側とコモン電極側で中心レベルを合わせておくと、極性に関する非対称性が表われて、焼きなど画品位の劣化が生じる。この対策として、信号電圧に対しコモン電圧を所定電圧分だけオフセットし、極性に関する非対称性を打ち消すことが行われている。尚、補助容

10 量CSも、液晶素子LCの交流駆動に合わせて、交流動作させる必要がある。この為、各補助容量CSに共通接続された補助容量ラインに、同じく所定の周期で極性反転する電圧を印加する必要がある。

上述した表示領域2を囲む上下左右四辺に周辺の回路部が集積形成されている。本実施形態の場合、この周辺回路部は、垂直ドライバ3、水平ドライバ4、COMドライバ5、CSドライバ6、DC/DCコンバータ7、DC/DCコンバータ7a、レベルシフタ(L/S)を含むインターフェース8、タイミングジェネレータ9、アナログ電圧ジェネレータ10などを含んでいる。但し本発明はこの構成に限られるものではなく、表示装置(システムディスプレイ)0の仕様に応じて適宜必要な回路が追加される一方、不必要的回路は削除される。例えば、場合により信号電圧とは別に完全な白表示や完全な黒表示に使われる信号電圧レベルを生成するドライバなどが組み込まれることもある。

垂直ドライバ3は各ゲートラインG1～Gmに接続され、線順次で選択パルスを供給する。水平ドライバ4は上下一対形成されており、各信号ラインS1～Snの両端に接続して、両側から同時に所定の信号電圧

を供給している。尚この信号電圧はF P C 1 1を介してセット側から送られてくる表示データ（画像情報）に応じたものとなっている。

コモンドライバ（C O M ドライバ）5は、周期的に極性反転するコモン電圧V C O Mを各液晶素子L Cに共通するコモン電極に印加する。C

5 O M ドライバ5にはオフセット回路やスタート回路（C O M スタータ）が付属している。オフセット回路はコモンドライバ5で生成されるコモン電圧のオフセットレベルを調節する。スタート回路（C O M スタータ）はパネルの起動時にオフセット回路を充電してコモン電圧V C O Mの印加を速やかに立ち上げる。C S ドライバ6は周期的に極性反転する電圧を、各補助容量C Sに共通する補助容量ラインに印加する。

D C / D C コンバータ7は、電子機器本体からF P C 1 1を介して供給される一次の電源電圧を、パネル（表示装置0）の仕様に応じた二次の電源電圧に変換する。特に、D C / D C コンバータ7は正側の電源電圧V D Dの変換に用いられる。これに対し、D C / D C コンバータ7 a 15 は負側の電源電圧V S Sの変換に用いられる。

L / Sを含むインターフェース8は、F P C 1 1を介してセット側から供給されたクロック信号、同期信号、画像信号などの制御信号を受け入れる。レベルシフタL / Sは、セット側から送られてきた制御信号

（外部制御信号）をレベルシフトして、表示装置内部の回路動作仕様に20 適合した制御信号（内部制御信号）を生成する。尚、本明細書では外部制御信号と内部制御信号を区別する必要がある場合、各制御信号の種類を表わす記号の後ろに外部制御信号の場合数字（3）を付し、内部制御信号の場合数字（5）を付することがある。タイミングジェネレータ9は、L / Sを含むインターフェース8から送られてきたクロック信号や同期信号を処理して、回路各部のタイミング制御に必要なクロック信号25などを生成する。アナログ電圧ジェネレータ10は、あらかじめ階調に

応じた複数のレベルのアナログ電圧を、水平ドライバ4に供給する。水平ドライバ4は、電子機器の本体側から送られる画像情報に応じて階調化されたアナログの信号電圧を液晶素子LCに書き込む。

第2A図乃至第2B図は、表示装置側に対するセット側の制御シーケンスを示すタイミングチャートであり、第2A図はオンシーケンスを表わし、第2B図はオフシーケンスを表わしている。但し、待機モード（スタンバイモード）に関するシーケンス制御がない通常の場合を表わしている。ディスプレイ側に対してセット側からマスタクロックMCK、水平同期信号H SYNC、垂直同期信号V SYNC、表示データDATA、リセット信号RST、表示許可信号PCI、電源電圧VDDが所定のシーケンスに従って入力される。セット側からディスプレイ側を立ち上げるオンシーケンス（第2A図）では、最初にVDDが立ち上がり次いでMCK、H SYNC、V SYNCがアクティブになる。時間 $t_{on1}$ 経過後、リセット信号RSTがローからハイに切り換わり、ディスプレイの回路部が初期化される。この後時間 $t_{on2}$ 経過後、DATAがローからアクティブに切り換わるとともに、表示許可信号PCIがローからハイに切り換わる。これにより、ディスプレイの表示領域に画像が映し出される。

セット側からディスプレイを立ち下げるオフシーケンス（第2B図B）では、まずDATAがアクティブからローに切り換わるとともに表示許可信号PCIがハイからローに切り換わる。時間 $t_{off1}$ 経過後、リセット信号RSTがハイからローに切り換わり、ディスプレイの回路の内部状態をリセットする。時間 $t_{off2}$ 経過後、MCK、H SYNC、V SYNCの供給を遮断し最後にVDDを立ち下げる。これにより、VDDは接地電位あるいは浮遊電位となる。しかし、この場合セット側

にはVDDを切斷する為の大容量スイッチが必要となり、部品点数が増加することになる。

第3A図乃至第3B図は、待機モード（スタンバイモード）を採用したオンシーケンス及びオフシーケンスを示すタイミングチャートである。

5 理解を容易にする為、第2A図乃至第2B図に示した通常のオンシーケンス及びオフシーケンスと対応する部分には対応する参照符号を用いてある。セット側は通常消費電力状態と低消費電力状態の切り換えが可能である。これに合わせてディスプレイ側を動作モードと待機モード（スタンバイモード）に切り換え制御する必要があり、この為セット側はディスプレイ側に対してスタンバイ信号STBを入力している。

10

オンシーケンス（第3A図）では、まずスタンバイ信号STBがローからハイに立ち上がり、ディスプレイは待機モードから動作モードに復帰する。STBの立ち上がりに合わせて、MCK、H SYNC、V SYNCがアクティブになる。但し、VDDはSTBに関わらず常に供給されている。時間ton1経過後RSTがローからハイに切り換わり、ディスプレイの回路状態が初期化される。時間ton2経過後DATAがアクティブになるとともにPCIがハイに切り換わり、画像が表示領域に映し出される。

オフシーケンス（第3B図）ではまずDATA及びPCIが非アクティブとなる。toff1経過後RSTがハイからローになりディスプレイの内部回路がリセットされる。toff2経過後STBがハイからローに切り換わるとともに、MCK、H SYNC、V SYNCが非アクティブになる。STBがハイからローになることで、ディスプレイ側は動作モードから待機モードに移行する。一方VDDは待機モードに移行したにも関わらず、常に電源電圧に維持されている。

この様にスタンバイモードを採用したシステムでは、VDDをアクティブとしたままディスプレイ側の駆動回路システムをSTBに応じて非アクティブとすることで、大容量スイッチの必要性をなくしている。尚スタンバイモード制御に用いる信号STBは、図示の様にセット側から

5 独立して入力される制御信号の場合もあるが、セット側から供給される他の外部信号を、ディスプレイ側で内部的に論理処理して生成する事もできる。オフシーケンスでは\_RSTでディスプレイの内部回路を論理リセットしてから、STBが立ち下がることになる。その際、セット側から供給されるマスタクロックMCKや同期信号HSYNC, VSYNC  
10 Cなどはアクティブな状態から一定電位に固定される。図示の例ではローレベル(GNDレベル)に固定されているが、場合によってはVDDレベルに固定してもよい。

スタンバイ信号STBの立ち下げに応じて待機モードに移行した表示装置は、電子機器の本体側から電源電圧VDDの供給を受けている状態のまま、表示領域の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えている。この待機制御手段は回路部の各ブロックに分散配置されており、各回路ブロック毎にSTBの立ち下げに応答して不活性化の為の制御シーケンスを実行する。以下、各回路ブロック毎に不活性化の為の制御シーケンスを具体的に説明する。

第4図は、スタンバイモードに適応したDC/DCコンバータ7の具体的な構成例を示す回路図である。図示する様に、DC/DCコンバータ7は、アンド素子(AND)701、遅延素子(DELAY)702、多段バッファ703、外付けのフライングキャパシタ704、クランピング用のトランジスタ705-707、出力トランジスタ708、内部コンデンサ709、レベルシフタ(L/S)710、アンド素子711、

パッファ 712、外付けのバイパスコンデンサ 720、終端抵抗 721 などで構成されている。DC/DCコンバータ 7 は、絶縁基板上に搭載される内蔵回路と、接続端子を介して内蔵回路に接続される外付け部品とで構成されている。図示の例では、フライングキャパシタ 704 とバイパスコンデンサ 720 が外付け部品であり、残る回路要素は全て絶縁基板上に内蔵されている。内蔵回路部は、表示領域に形成されているスイッチング用の薄膜トランジスタ TFT と同一のプロセスで形成される TFT などで構成されている。

DC/DCコンバータ 7 は、セット側から供給される一次の電源電圧 VDD1 を、パネルの仕様に応じた二次の電源電圧 VDD2 に変換する。この為、ポンピング用のクロック信号（ポンピングパルス）がアンド素子 701 及び位相調整用の遅延素子 702 を介して、多段バッファ 703 に供給される。多段バッファ 703 を介してフライングキャパシタ 704 の一次側がポンピングパルスによって VDD1 までポンピングされる。フライングキャパシタ 704 の二次側には TFT 705, 706, 707 からなるクランプ回路が接続されており、フライングキャパシタ 704 の出力電圧を VDD2 までクランピングする。本実施例では、VDD2 = 2 × VDD1 までクランピングしている。出力トランジスタ 708 は VDD2 までクランプされた矩形波の波高部を取り出して、直流の二次電源電圧 VDD2 を出力する。その際、外付けのバイパスコンデンサ（デカップリングコンデンサ）720 は、二次電源電圧 VDD2 に含まれるリップルノイズを除去して平滑化している。尚、遅延素子 702 を通過したクロック信号は内部コンデンサ 709 を介してクランピング用のトランジスタ 705, 706 のドレインに印加されるとともに、出力トランジスタ 708 のゲートに印加されている。又アンド素子 701 を通過したクロック信号はレベルシフタ 710、アンド素子 711 及

びバッファ712によりクランピング用パルスCLPに整形された上で、トランジスタ705, 706のゲートに印加されている。又必要に応じ制御信号がアンド素子711を介して入力され、DC/DCコンバータ7をリセットする様になっている。この様に、DC/DCコンバータ7は、ポンピングパルスで一次の電源電圧VDD1にポンピングされるフライングキャパシタ704と、ポンピングされたフライングキャパシタ704をクランピングして二次の電源電圧VDD2を取り出すクランプ回路（トランジスタ705-708）と、二次の電源電圧VDD2に含まれるノイズを除去するバイパスコンデンサ720とで基本的に構成されている。

DC/DCコンバータ7はスタンバイモードを実現する為、待機制御手段としてアンド素子701を用いており、STB信号を受け入れる様になっている。STB信号がハイからローに切り換わって待機モードへの移行が指示されると、アンド素子701が閉じてクロック信号（ポンピングパルス）の入力が遮断される。ポンピングパルスを停止してフライングキャパシタ704への充放電を停止し、以って消費電力を削減している。尚、スタンバイモードに移行した場合、DC/DCコンバータ7の出力端子は終端抵抗721によってVDD1又はGNDなどの所定電位に固定される。これにより、システムディスプレイ内の電源ラインが浮遊状態になることを防いでいる。図示の例では終端抵抗721は内蔵となっているが、外付部品としてもよい。

第5図はDC/DCコンバータ7aの実施例を示す回路図である。理解を容易にする為、第4図に示したDC/DCコンバータ7と対応する部分には対応する参照番号を付してある。第4図のDC/DCコンバータ7は正側の一次電源電圧VDD1を二倍の二次電源電圧VDD2に変

換しているのに対し、本DC/DCコンバータ7aは負側の電源電圧VSS1を絶対値で二倍の負側二次電源電圧VSS2に変換している。

DC/DCコンバータ7aは待機制御手段として、レベルシフタ730を介してアンド素子701にSTB信号を入力している。STB信号がハイからローに立ち下がって待機モードへの移行を指示すると、アンド素子701が閉じてクロック信号（ポンピングパルス）を遮断し、以ってフライングキャパシタ704への充放電を停止し、消費電力を削減する。尚、DC/DCコンバータ7aの出力端子は終端抵抗721により、GND又はVDD1の一定電位に固定される。

第6図は、表示装置の入力インターフェース8に含まれるレベルシフタ8aの構成例を示すブロック図である。図示する様にレベルシフタ8aはレベルシフト用の増幅器81とバッファ用の増幅器82の直列接続となっている。動作状態で、外部からの入力信号INはレベルシフトされた上で、ディスプレイの内部仕様に適合した出力信号OUTに変換される。待機モードでは、前述した様にDC/DCコンバータの出力端子がGND又はVDD1に固定されている。従って、レベルシフタ8aの各増幅器81, 82の電源ラインもGND又はVDD1に固定されている。又、待機モードでは入力信号INがGNDレベル又はVDD1レベルに固定状態となっている為、内部的な充放電電流は流れない。

第7図はタイミングジェネレータ9の構成例を示すブロック図である。図示する様に、タイミングジェネレータ9は種々の入力信号を処理してシステムディスプレイ内部のタイミング制御に必要な出力信号を生成している。入力信号にはPCI、STB、RST、VD、MCK、HDなどが含まれる。VDは外部VSYNCに対応する内部信号である。又HDは外部HSYNCに対応する内部信号である。タイミングジェネレータ9は水平駆動用タイミングジェネレータ(TG for H)91と垂直

駆動用タイミングジェネレータ (T G f o r V) 9 2 とに分かれている。

水平駆動用タイミングジェネレータ 9 1 は前述した入力信号を処理し、主として水平ドライバ 4 のタイミング制御に必要な出力信号等を生成している。これには、水平クロック信号 H C K や水平スタート信号 H S T

5 が含まれる。又垂直クロック信号 V C K も出力している。一方垂直駆動用タイミングジェネレータ 9 2 は主として垂直ドライバ 3 の動作制御に必要なタイミング信号等を出力している。これには、垂直スタートパルス V S T やフレーム周期を規定するフレーム信号 F R P が含まれる。

前述した様にスタンバイモードでは、D C / D C コンバータの出力は G N D レベル又は V D D 1 レベルとなっている。従って、タイミングジェネレータ 9 の電源ラインも G N D レベル又は V D D 1 レベルに固定されている。又種々の入力信号も G N D レベル又は V D D 1 レベルの固定入力状態となっている。従って、タイミングジェネレータ 9 は動作せず、充放電電流は流れない。

15 第 8 図は垂直ドライバ 3 の実施例を示す回路図である。図示する様に垂直ドライバ 3 は複数のユニット 3 0 1 – 3 8 0 を多段接続したシフトレジスタ構成となっている。本例は 8 0 個のユニットを多段接続して、一段当たり 2 本、合計で 1 6 0 本のゲートライン (G a t e 1 から G a t e 1 6 0 ) を順次駆動している。具体的には、垂直ドライバ 3 は垂直クロック V C K に同期して垂直スタートパルス V S T を順次転送することで、各ゲートラインに選択パルスを出力している。

待機状態では、タイミングジェネレータが動作していない。従って、垂直ドライバ 3 に入力される制御信号は G N D レベル又は V D D 1 レベルと固定入力状態となっている。従って垂直ドライバ 3 は動作せず、ゲートラインへの充放電電流は流れない為消費電力が削減される。尚、図

示しないが水平ドライバ4も同様に動作しない為、信号ラインへの充放電電流は流れず、消費電力が削減される。

第9図はアナログ電圧ジェネレータ10の実施例を示す回路図である。図示する様にアナログ電圧ジェネレータ10は各種のゲート素子101～107と、一対の切換回路110, 111と、ラダー抵抗115とで構成されている。ラダー抵抗115は電源電圧を抵抗分割して複数レベルの出力アナログ電位V1～V30を生成している。例えば、表示データが5ビット構成で32階調に分かれている時、アナログ電圧ジェネレータ10は両端の2レベルに加え中間の30レベルに対応したアナログ電位V1～V30を出力する。前述した様に、液晶素子は交流駆動される。従って、アナログ電圧ジェネレータ10から出力されるアナログ電位も所定周期で極性を反転させる必要がある。この為にラダー抵抗115の両端に一対の切換回路110及び111が接続されている。これらの切換回路110及び111はゲート素子101～107を介して入力信号FRPにより制御される。スタンバイモードでは入力信号としてSTBが印加される。

アナログ電圧ジェネレータ10の論理回路部分の電源電位は常にVD1に固定される。待機モードにおいて入力信号FRP及びSTBはGNDレベル固定入力とされる。通常の動作モードではFRPはフレーム周期でハイレベルとローレベルが反転している。通常動作モードではFRPに応答して切換回路110, 111内のスイッチa1とb2又はスイッチa2とb1が同時にオンとなることで、VDD1電位をラダー抵抗115が分割し、アナログ出力電圧V1～V30を生成する。待機モードでは、切換回路110, 111内でスイッチa1とb1（又はスイッチa2とb2）が同時にオンとなる。この結果直列ラダー抵抗115

の両端電位が同一となり、直流電流が流れないので消費電力を削減可能である。

第10図はCSドライバの実施例を示す回路図である。CSドライバ6はインバータ601、バッファ602、バッファ603、一对のスイッチを含む切換回路604で構成されている。動作モード下では入力信号FRPに応答して切換回路604に含まれる一对のスイッチが交互にオンし、フレーム周期で極性が反転する出力信号を補助容量ラインCSに供給する。待機モード時には、入力信号FRPがGNDレベルに固定される。この結果CSドライバ6の出力端子は固定となり、補助容量ラインCSへの充放電電流が流れなくなり、消費電力が削減される。

第11図はCOMドライバ5の実施例を示す回路図である。COMドライバ5は、インバータ501、アンド素子502、バッファ503、アンド素子504、バッファ505、切換回路506で構成されている。前述のCSドライバ6と同様に、動作モード下でCOMドライバ5は入力信号FRPに応答してフレーム周期で極性が反転する出力信号VCOMをコモン電極に供給する。尚、本実施例のCOMドライバ5は内部リセット信号\_RST5に応答して論理リセットが掛かる様になっている。

待機モード時にはCOMドライバ5の電源電位は前述したDC/DCコンバータの停止によりGND又はVDD1レベルとなっている。又タイミングジェネレータの停止により、入力信号FRPもGNDレベル又はVDD1レベルに固定入力状態となっている。この結果出力信号VCOMは固定電位となり、コモン電極への充放電電流が流れなくなり、消費電力を削減できる。

最後に第12図は、COMドライバ5に付随するオフセット回路51及びスタート回路52の具体的な構成例を示す回路図である。前述した様に、コモンドライバ5はコモン電極にコモン電圧VCOMを印加する。

オフセット回路 5 1 は、信号電圧に対してコモン電圧のレベルを相対的に調節する為所定のオフセット電圧  $\Delta V$  を生成するカップリングコンデンサ C 1 を備えている。スタート回路 5 2 は電源電圧 VDD の立ち上げ時、オフセット回路 5 1 のカップリングコンデンサ C 1 をオフセット

5 電圧  $\Delta V$  までプリチャージするとともに、電源電圧 VDD の立ち下げ時カップリングコンデンサ C 1 をディスチャージする。図示する様に COM ドライバ 5 、オフセット回路 5 1 及びスタート回路 5 2 は、カップリングコンデンサ C 1 及び可変抵抗 R 3 を除いて共通の絶縁基板 1 上に搭載されている。

10 オフセット回路 5 1 は前述したカップリングコンデンサ C 1 の他にトランジスタスイッチ SW 4 と電圧レベル調整用の可変抵抗 R 3 を含んでいる。抵抗 R 3 はカップリングコンデンサ C 1 と同様に外付け部品である。トランジスタスイッチ SW 4 は絶縁基板 1 に形成されている。絶縁基板 1 外のカップリングコンデンサ C 1 から入力されたオフセット処理 15 済みのコモン電圧 VCOMI は、システムディスプレイ内部のコモン電極につながる COM パッド 5 3 0 に内部配線で接続されている。

スタート回路 5 2 は、スタンバイ信号 STB が入力されるレベルシフタ 5 1 1 、内部リセット信号 RST 5 が入力されるインバータ 5 1 2 、外部リセット信号 RST 3 が入力されるインバータ 5 1 3 、 NAND 素子 20 NAND 5 1 4 、インバータ 5 1 5 、バッファ (BUF) 5 1 6 、バッファ 5 1 7 、レベルシフタ 5 2 0 などの論理回路を含んでいる。更に薄膜トランジスタで構成されるスイッチ SW 1 、 SW 2 、 SW 3 、 SW 5 を含んでいる。加えて正側の電源電圧 VDD と負側の電源電圧 VSS との間に直列接続された一対の抵抗 R 1 、 R 2 を含んでいる。抵抗 R 1 と 25 R 2 の接続ポイントをノード A で表わしてある。

引続き第12図を参照して、スタート回路52のオンシーケンス及びオフシーケンスを説明する。まず待機モードから動作モードに復帰するオンシーケンスでは、第一段階としてSTB信号がローからハイに立ち上がる。これによりスイッチSW1, SW2, SW3, SW4が導通状態となる。直列抵抗R1, R2によって、電源電位VDDが抵抗分割され、ノードAにおいては所望の中間電位となる。この中間電位は必要とされるオフセット電位 $\Delta V$ に等しい。SW3及びSW4が導通状態となっているので、ノードVCOMOもノードAと同電位になり、カップリングコンデンサC1がプリチャージされる。直列抵抗R1, R2の比は、ノードAとノードVCOMOの電位差が $\Delta V$ となる様に設定されている。この後第二段階としてリセット信号RST3, RST5が立ち上がり、COMドライバ5がアクティブとなる。同時に、スイッチSW1, SW2, SW3, SW4が非導通状態となる。一方スイッチSW5が導通状態となり、ノードVCOMPWRがVDDとなり、可変抵抗R3に電流が流れる。カップリングコンデンサC1には最初の第一段階で十分に電荷が充電されている為、COMドライバ5の出力がカップリングされ、 $\Delta V$ だけDCシフトされた電位がノードVCOMIに出力される。可変抵抗R3は、VCOMIの電位がちょうど $\Delta V$ だけシフトする様に設定されている。この後第三段階として表示開始信号が立ち上がり、画像が表示エリアに映し出される。

次に動作モードから待機モードに移行するオフシーケンスを説明する。最初に第一段階としてセット側からの表示命令PCIが立ち下がり、表示領域から画像が消される。続いて第二段階としてリセット信号RST3, RST5が立ち下がる。これによりスイッチSW1, SW2, SW3, SW4が導通状態となる。逆にSW5が非導通状態になる。これにより外付けの可変抵抗R3には電流が流れなくなり、所望の節電効果が

得られる。同時に絶縁基板1内のCOMドライバ5が非アクティブとなる為、節電効果が得られる。スイッチSW1, SW2が導通することで、直列抵抗R1, R2により、電源電位VDDがノードAにおいて所望の中間電位になる。この時SW4も導通状態になっているので、ノードV  
5 COMIはGNDレベルとなる。これにより、カップリングコンデンサC1がディスチャージされる。最後に第三段階としてSTB信号が立ち下がり、スイッチSW1, SW2, SW3, SW4が非導通状態となる。これにより直列抵抗R1, R2が正側電源ラインVDD及び負側電源ラインVSSから切り離され、不要な電流が流れなくなる。従って所望の  
10 節電効果が得られる。

以上説明した様に、本発明によれば、待機モード時セット側から電源電圧の供給を受けている状態のままディスプレイを停止するとともに、パネル内回路部を不活性化してパネルの電力消費を抑制している。これにより、従来のパーシャルモード機能と比較して大幅に消費電力を削減  
15 できる。又セット側で電源供給を遮断するスイッチを設ける必要がなくなり、部品点数の削減によるセットの小型化と低コスト化が実現できる。特に本発明では不活性化の過程で回路部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行している。更に不活性化の過程で回路部に供給されるクロックを停止して回路部内で生じる充放電を抑制する制御シーケンスを実行している。この様にシステム的にスタンバイ移行シーケンスを実行することで、従来に比べ大幅な節電効果を期待  
20 できる。

## 請求の範囲

1. 通常消費電力状態と低消費電力状態の切り替えが可能な電子機器のディスプレイ部品として用いられ、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置  
5 あって、

前記回路部は、電子機器本体側の通常消費電力状態と低消費電力状態の切り替えに応じて動作モードと待機モードに切り替え可能であり、

動作モード時、電子機器の本体側から電源電圧の供給を受けて動作し、  
10 該表示領域を駆動して所望のディスプレイを行い、

待機モード時、電子機器の本体側から電源電圧の供給を受けている状態のまま、該表示領域の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えており、

前記待機制御手段は、不活性化の過程で少なくとも該回路部に含まれ  
15 る抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする表示装置。

2. 前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含み、

前記回路部は、該画素電極側に信号電圧を書き込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバと、信号電圧に対してコモン電圧のレベルを調節するオフセット回路とを含み、  
20

前記待機制御手段は、不活性化の過程で該オフセット回路に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする請求の範囲第1項記載の表示装置。

25 3. 前記回路部は、コモン電極側にコモン電圧を印加する該コモンドライバとコモン電圧のレベルを調節する該オフセット回路に加えて、パ

ネルの起動時に該オフセット回路を充電してコモン電圧の印加を速やかに立ち上げるスタート回路を含み、

前記待機制御手段は、不活性化の過程で該スタート回路に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする請求の範囲第2項記載の表示装置。  
5

4. 前記表示領域は、マトリクス状に配置した画素を含み、

前記回路部は、電子機器の本体側から送られる画像情報に応じて階調化されたアナログ電圧を該画素に書き込むドライバと、あらかじめ階調に応じた複数のレベルのアナログ電圧を該ドライバに供給するアナログ電圧ジェネレータとを含み、  
10

前記待機制御手段は、不活性化の過程で該アナログ電圧ジェネレータに含まれる電圧分割用の直列抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする請求の範囲第1項記載の表示装置。

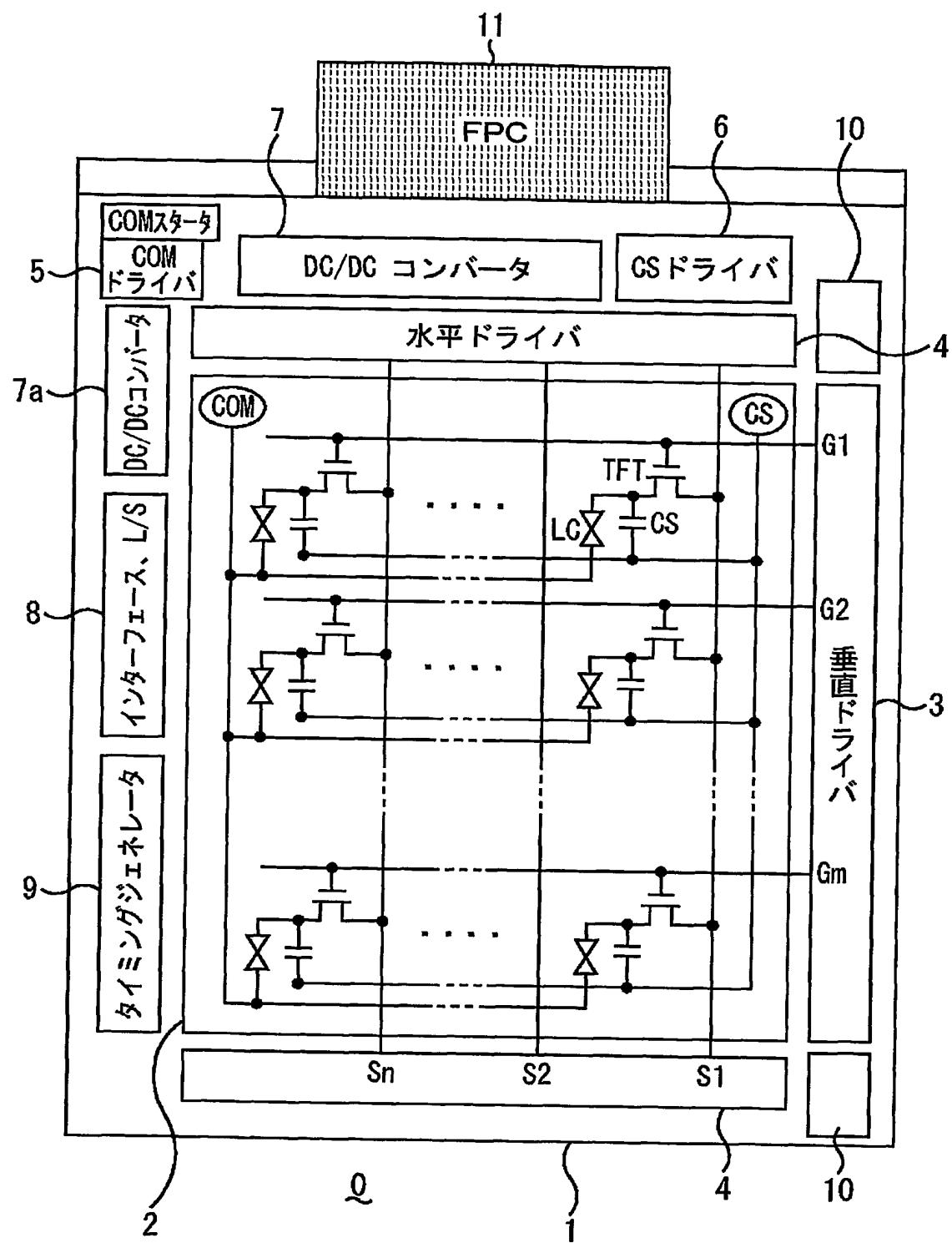
15 5. 前記待機制御手段は、不活性化の過程で少なくとも該回路部に供給されるクロックを停止して、回路部内で生じる充放電を抑制する制御シーケンスを実行することを特徴とする請求の範囲第1項記載の表示装置。

6. 前記回路部は、電子機器本体から供給される一次の電源電圧をパ  
20 ネルの仕様に応じた二次の電源電圧に変換するDC/DCコンバータを含んでおり、

前記待機制御手段は、不活性化の過程で該DC/DCコンバータに供給されるクロックを停止して、該DC/DCコンバータで生じる充放電を抑制する制御シーケンスを実行することを特徴とする請求の範囲第5項記載の表示装置。  
25

7. 前記パネルは、該表示領域及びこれを駆動する周辺の該回路部とともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されていることを特徴とする請求の範囲第1項記載の表示装置。

Fig.1



2/12

Fig.2A

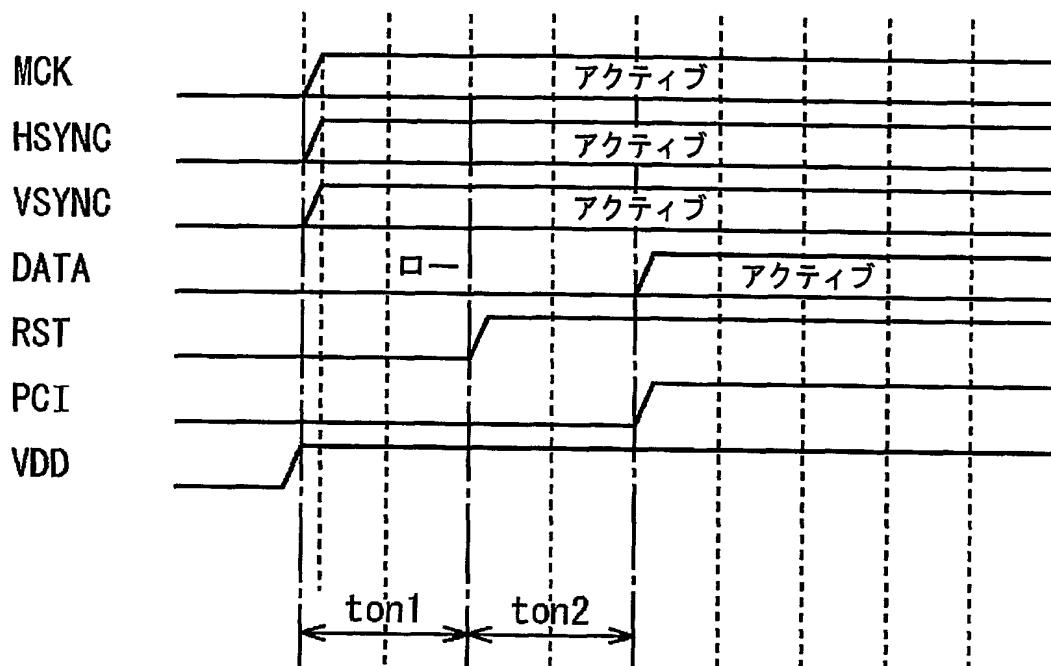
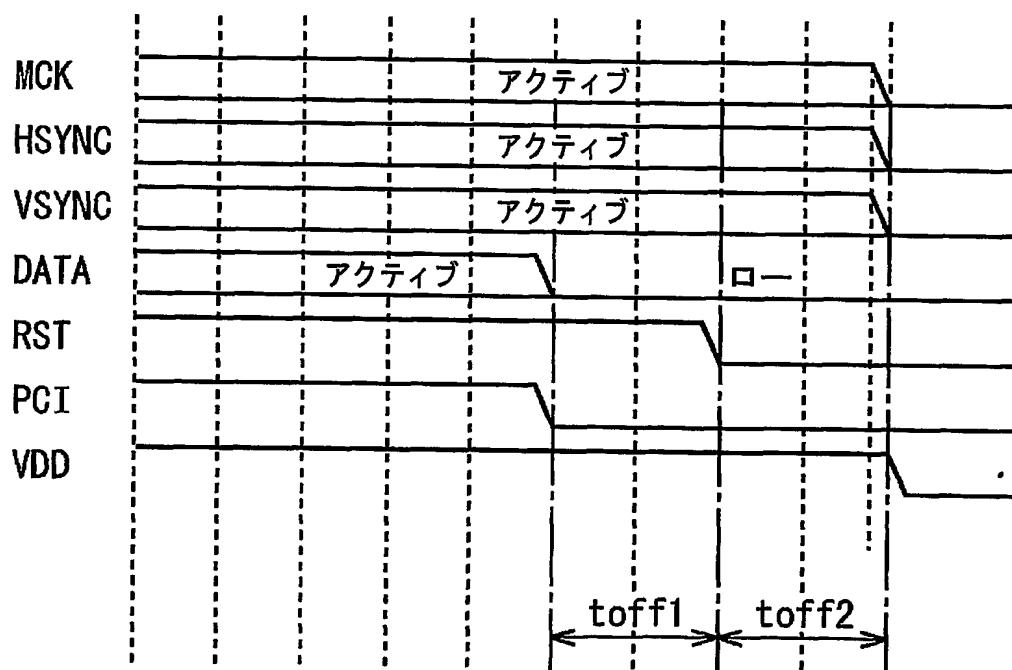


Fig.2B



3/12

Fig.3A

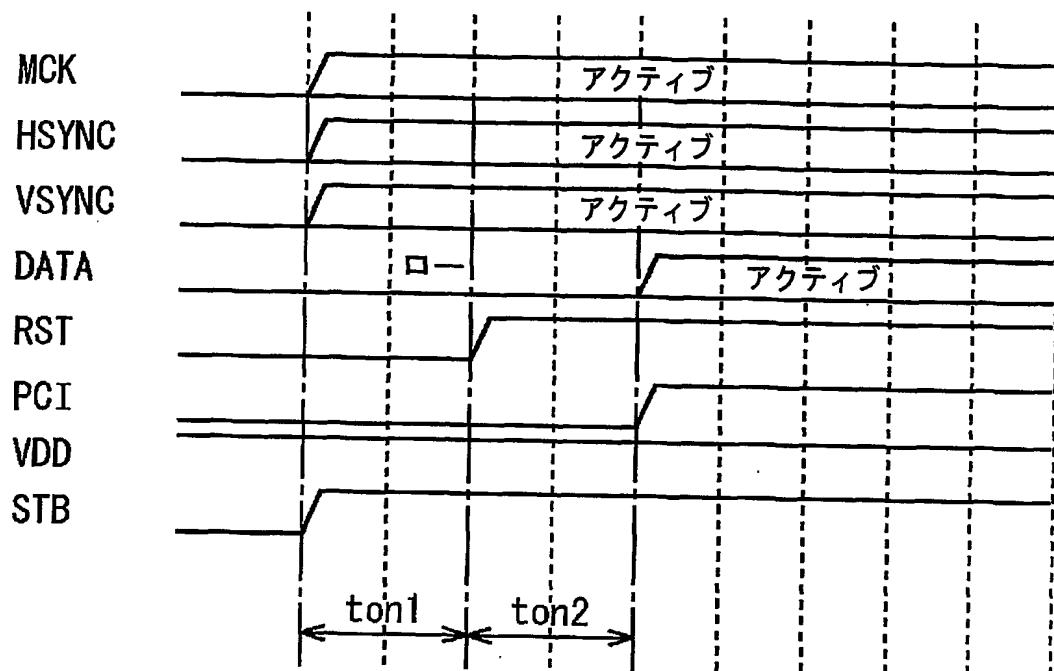
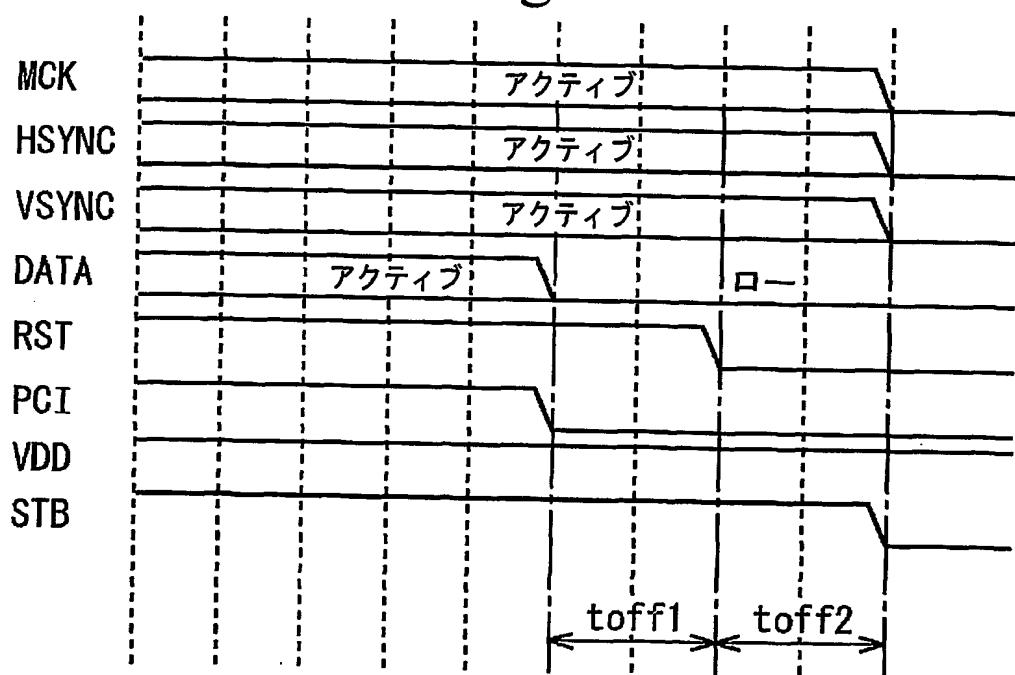


Fig.3B



4/12

Fig.4

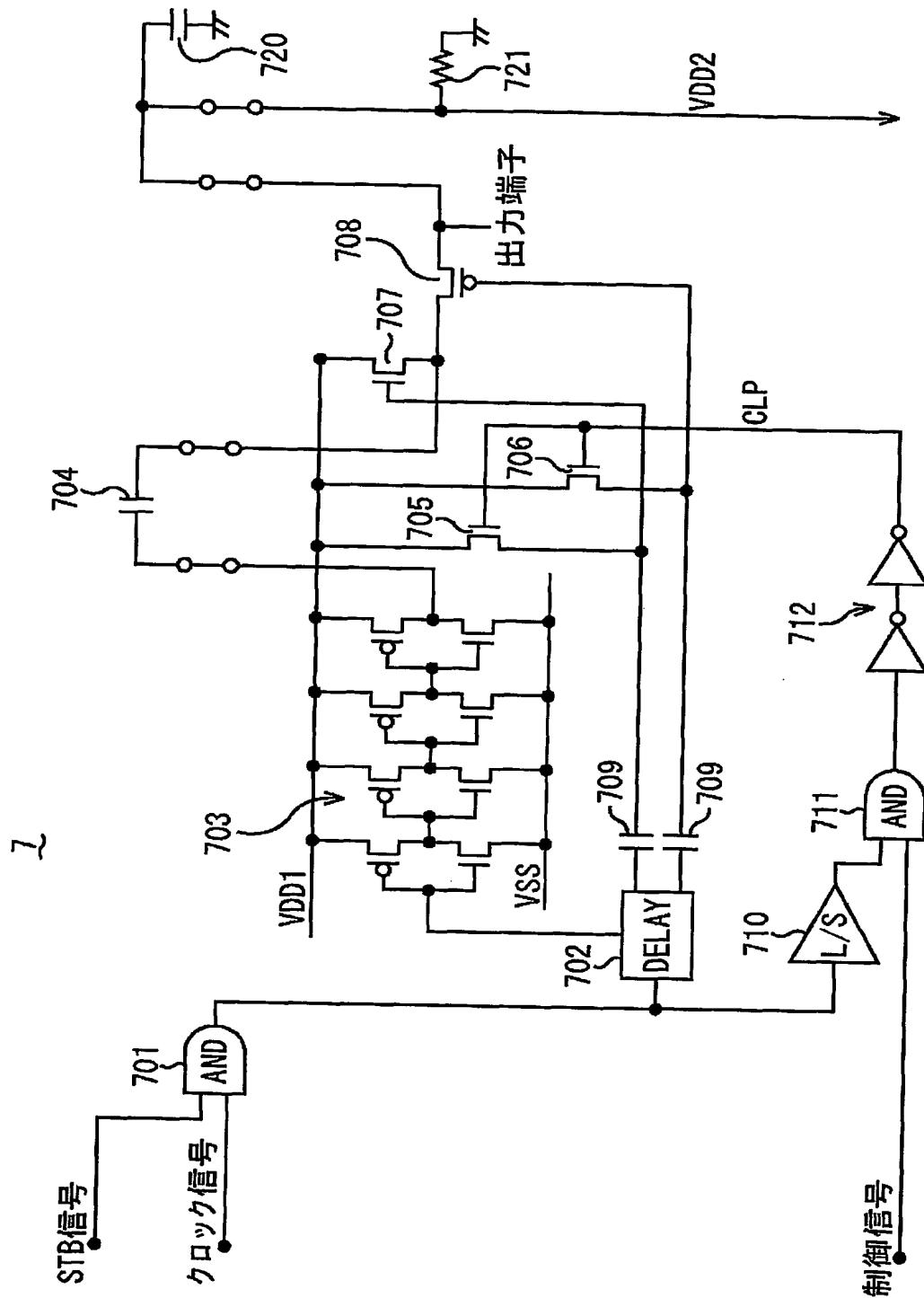
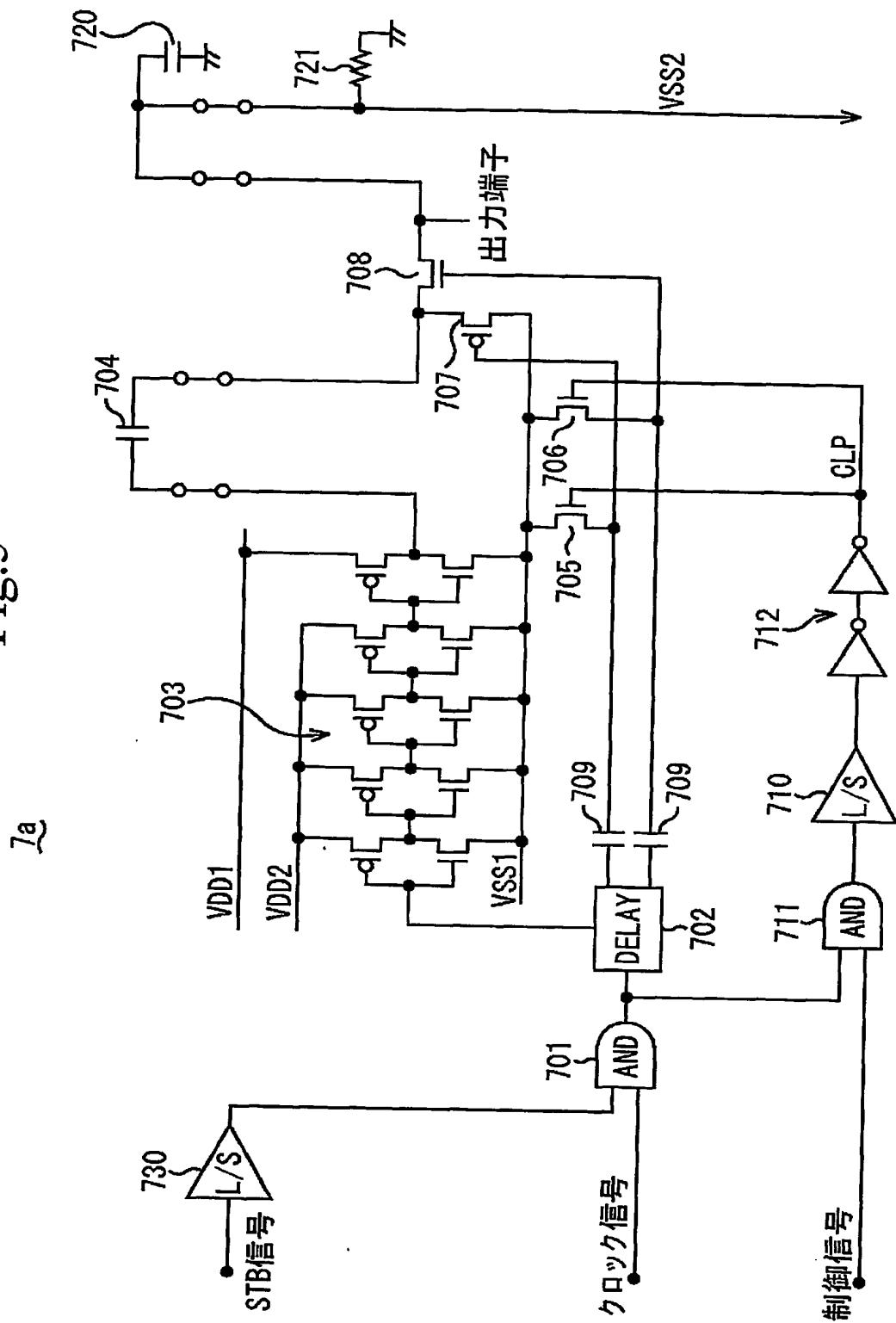
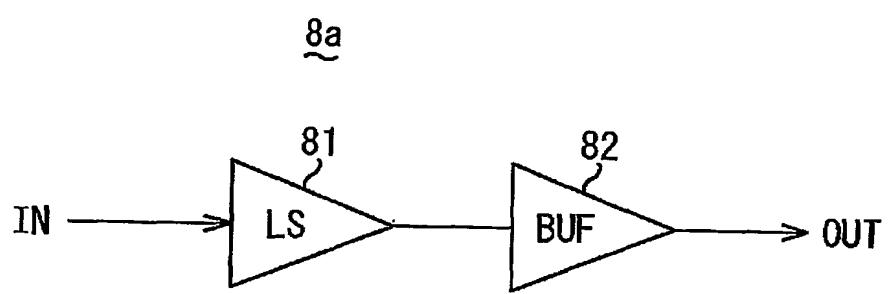


Fig. 5



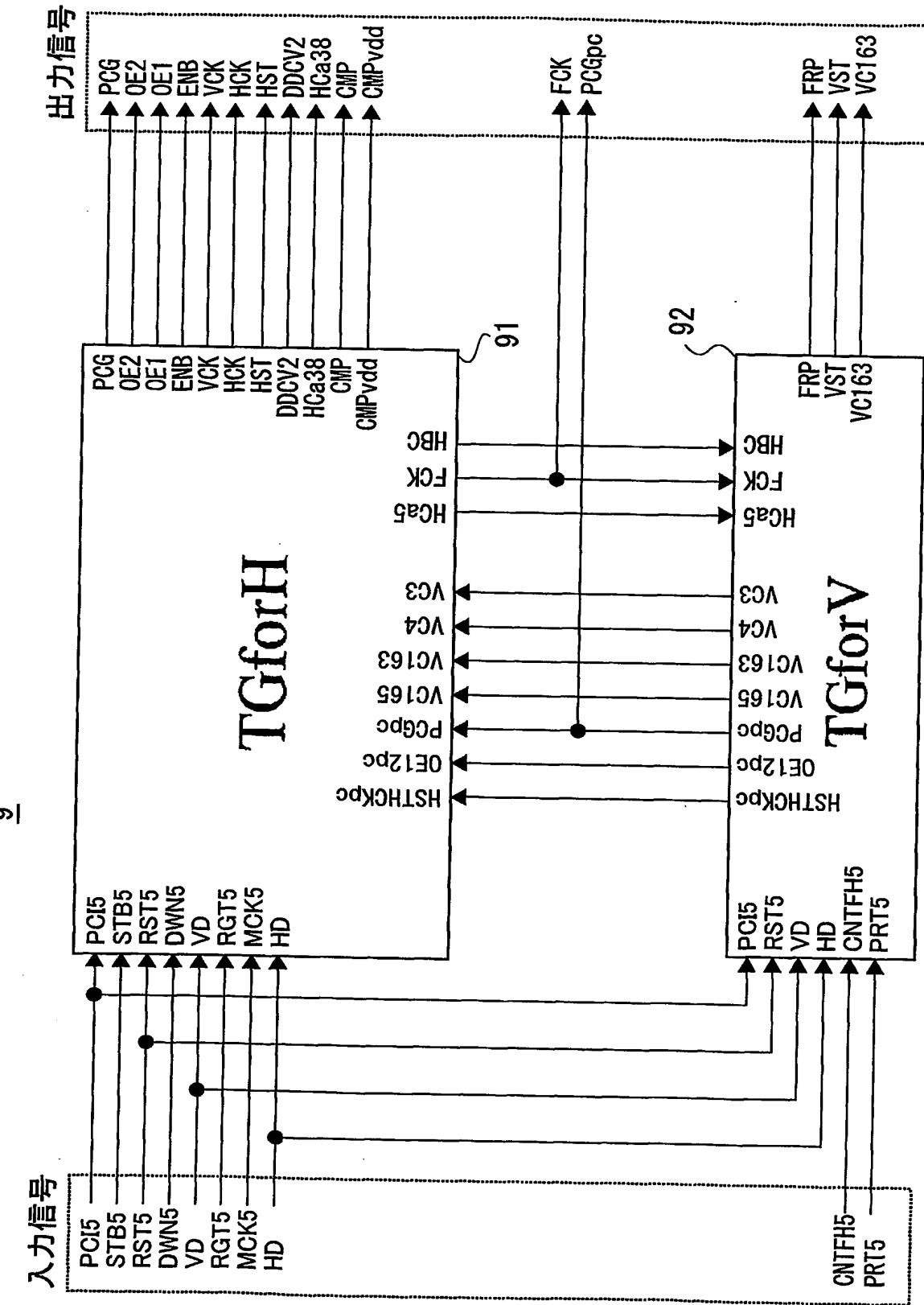
6/12

Fig.6



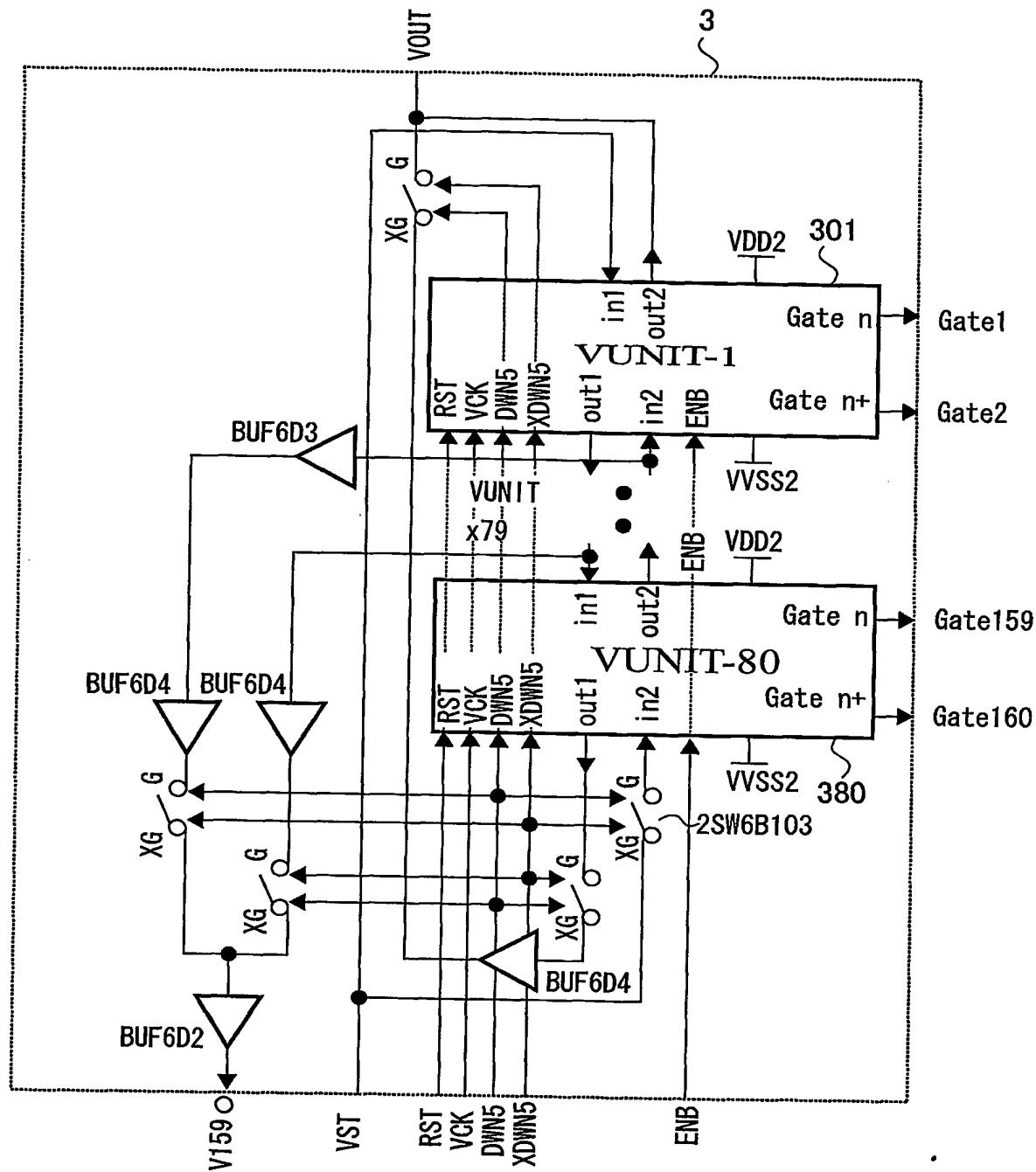
7/12

Fig. 7



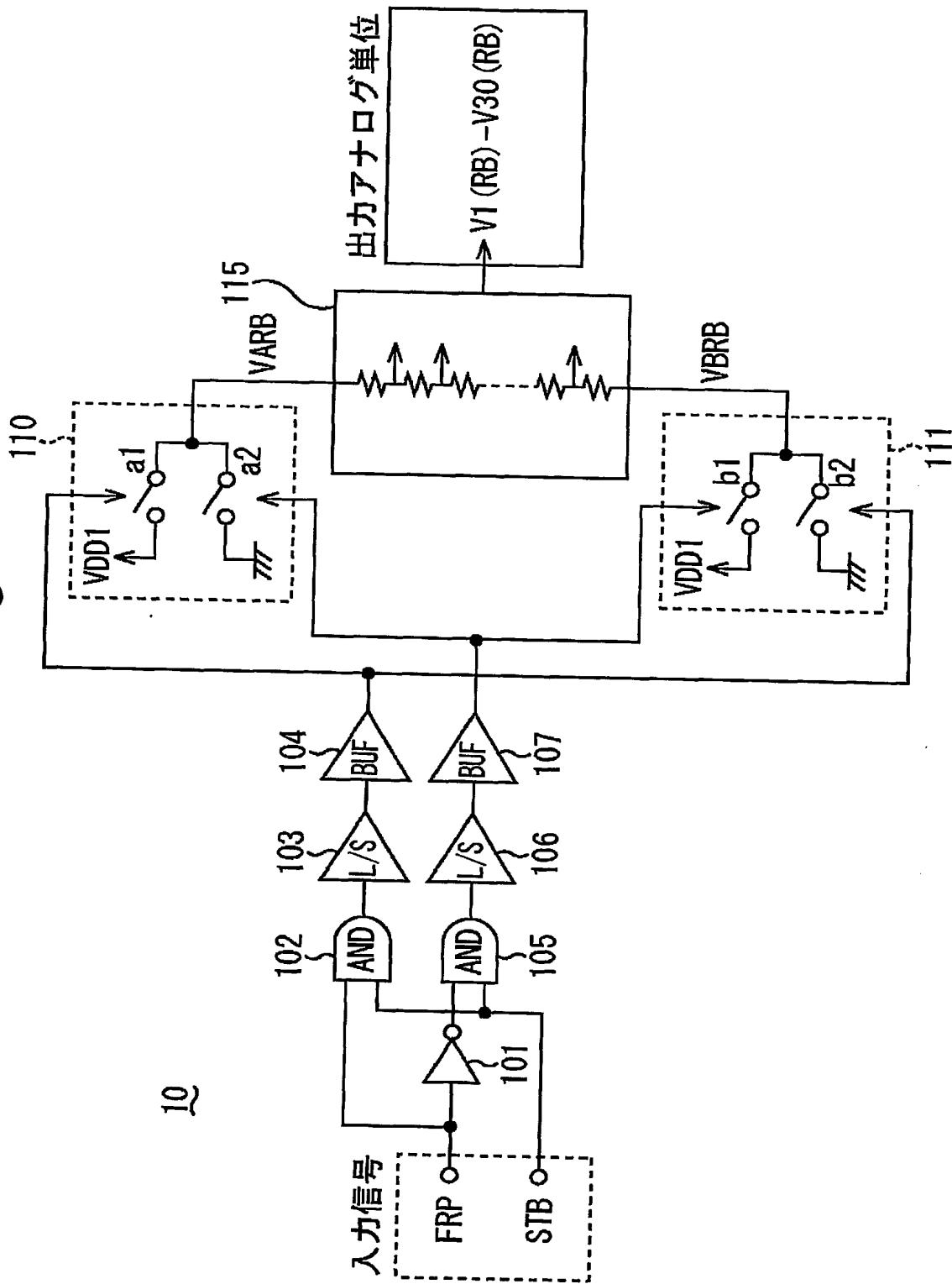
8/12

Fig.8



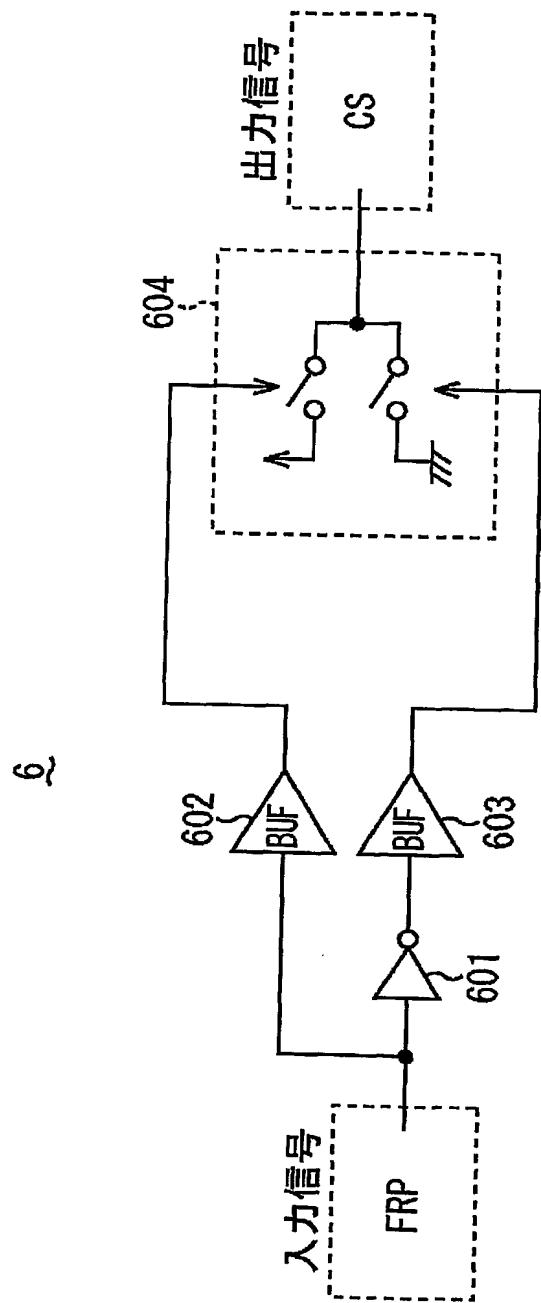
9/12

Fig.9



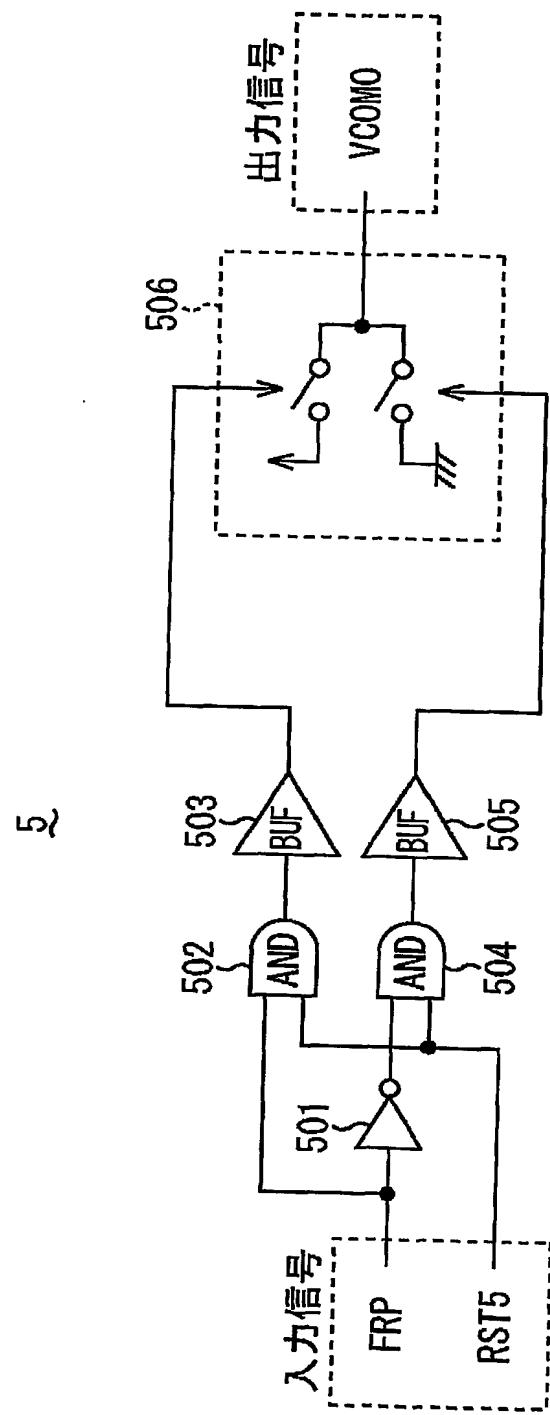
10/12

Fig.10



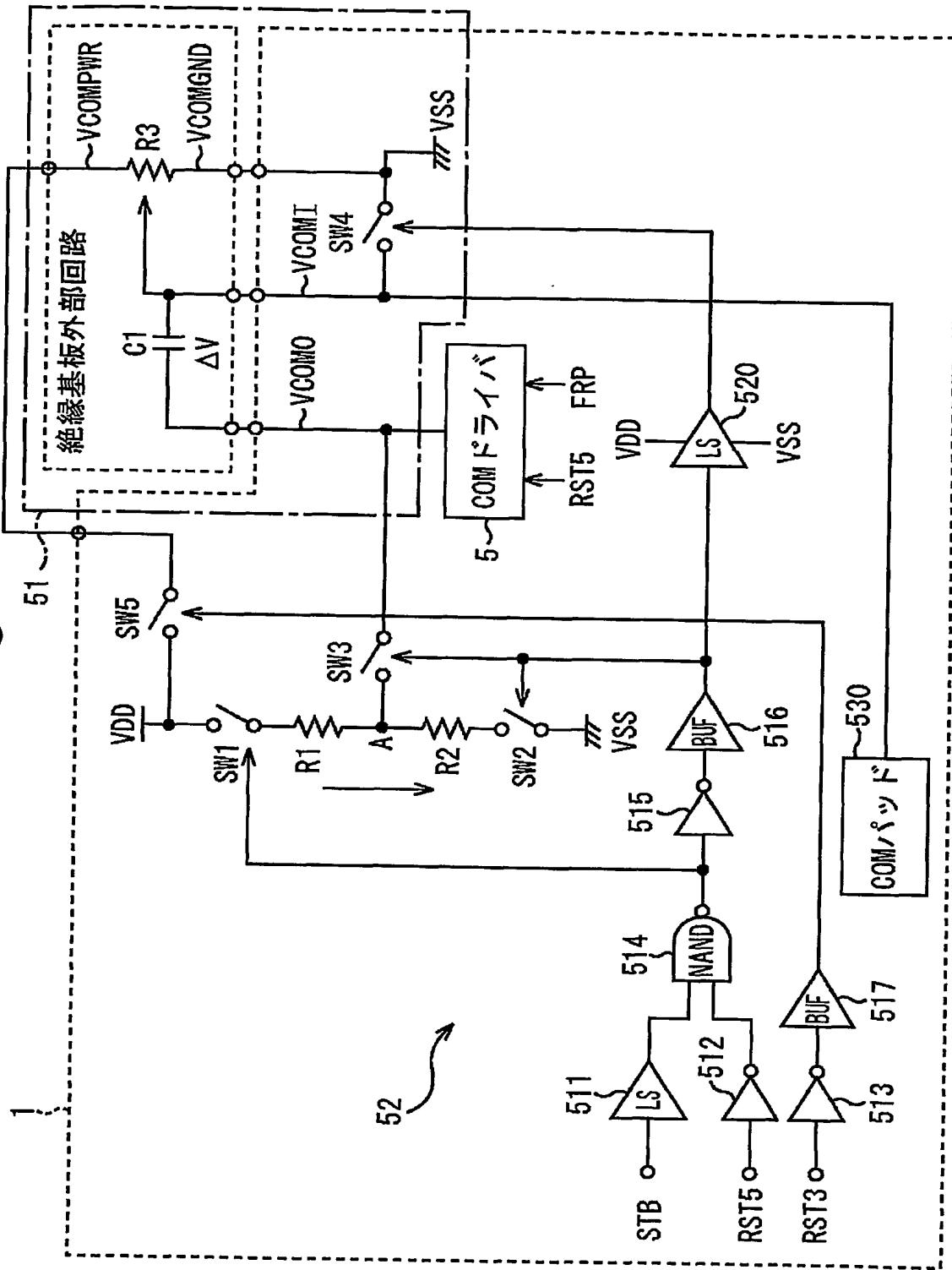
11/12

Fig.11



12/12

Fig.12



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16787

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/11548 A1 (SONY CORP.), 16 January, 2003 (16.01.03), Full text; all drawings & JP 2002-175033 A & WO 02/47060 A1 & CN 1422421 A & EP 1288900 A1 & KR 2002-93797 A	1-7
Y	US 6411273 B1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.), 25 June, 2002 (25.06.02), Column 41, line 43 to column 44, line 42; column 45, line 5 to column 46, line 8; Figs. 11, 14 & JP 11-218739 A & CN 1224509 A & EP 915361 A1 & KR 2000-16452 A & TW 394920 A & WO 98/48318 A1.	1-7

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search 23 January, 2004 (23.01.04)	Date of mailing of the international search report 03 February, 2004 (03.02.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16787

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6462725 B1 (SHARP KABUSHIKI KAISHA), 08 October, 2002 (08.10.02), Column 12, line 57 to column 16, line 26; Figs. 12 to 14 & JP 2001-27750 A & KR 2001-1014708 A & KR 363828 B & TW 484026 A	1-7
Y	EP 1035536 A2 (MONILTA CO., LTD.), 13 September, 2000 (13.09.00), Par. No. [0076] & JP 2000-330526 A	1-7
Y	JP 2002-99261 A (Rohm Co., Ltd.), 05 April, 2002 (05.04.02), Par. Nos. [0013] to [0037] (Family: none)	6
Y	JP 2000-166220 A (SHARP KABUSHIKI KAISHA), 16 June, 2000 (16.06.00), Par. Nos. [0003], [0004] (Family: none)	6
Y	US 5515068 A1 (HITACHI, LTD.), 07 May, 1996 (07.05.96), Full text; all drawings & JP 2-120889 A & US 5673058 A1	1-7
Y	JP 4-371999 A (Canon Inc.), 24 December, 1992 (24.12.92), Par. No. [0002]; Fig. 4 (Family: none)	6
Y	JP 7-199148 A (SHARP KABUSHIKI KAISHA), 04 August, 1995 (04.08.95), Par. Nos. [0058] to [0060]; Fig. 11 (Family: none)	1-7

## 国際調査報告

国際出願番号 PCT/JP03/16787

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17G09G3/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17G09G3/20, G09G3/36

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 2003/11548 A1 (SONY CORP.) 2003.01.16、全文全図 & JP 2002-175033 A & WO 02/470 60 A1 & CN 1422421 A & EP 1288 900 A1 & KR 2002-93797 A	1-7
Y	US 6411273 B1 (MATSUSHITA ELECTRIC INDUSTRIAL C 0., LTD.) 2002.06.25. 第41欄第43行-第44欄第42行、第 45欄第5行-第46欄第8行, FIG. 11, 14	1-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

23. 01. 2004

## 国際調査報告の発送日

03. 2, 2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4番 3号

特許庁審査官 (権限のある職員)

鈴野 幹夫

2G 8621

電話番号 03-3581-1101 内線 6489

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
	& JP 11-218739 A & CN 1224509 A & EP 915361 A1 & KR 2000-164 52 A & TW 394920 A & WO 98/483 18 A1	
Y	US 6462725 B1 (SHARP KABUSHIKI KAISHA) 2002. 10. 08、第12欄第57行-第16欄第26行、 FIG. 12-14 & JP 2001-27750 A & KR 2001-10 14708 A & KR 363828 B & TW 484 026 A	1-7
Y	EP 1035536 A2 (MONILTA CO., LTD.) 2000. 09. 13、段落番号76 & JP 2000-330526 A	1-7
Y	JP 2002-99261 A (ローム株式会社) 2002. 04. 05、段落番号13-37 (ファミリー無し)	6
Y	JP 2000-166220 A (シャープ株式会社) 2000. 06. 16、段落番号3、4 (ファミリー無し)	6
Y	US 5515068 A1 (HITACHI, LTD.) 1996. 05. 07、全文全図 & JP 2-120889 A & US 5673058 A 1	1-7
Y	JP 4-371999 A (キャノン株式会社) 1992. 12. 24、段落番号2、図4 (ファミリー無し)	6
Y	JP 7-199148 A (シャープ株式会社) 1995. 08. 04、段落番号58-60、図11 (ファミリー無し)	1-7